

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IMAGE DATA TRANSMITTING AND RECEIVING METHOD

Patent number: JP9168147
Publication date: 1997-06-24
Inventor: KIKUCHI HIDEKAZU
Applicant: SONY CORP
Classification:
 - international: H04N7/24; H03M7/14; H04J3/00; H04N7/10
 - european:
Application number: JP19950347780 19951215
Priority number(s):

Also published as:

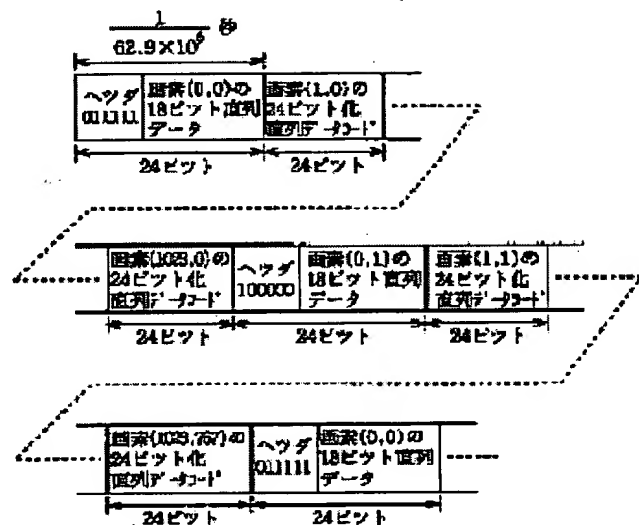


EP0781054 (A)
 US5828326 (A)
 EP0781054 (A)
 EP0781054 (B)

Abstract of JP9168147

PROBLEM TO BE SOLVED: To transmit and receive the image data and the synchronous data via a single transmission line without interrupting the transmission/reception of the image data.

SOLUTION: When $n > m$ and $k < n - m$ are satisfied with no transmission of the synchronous data, the m (18)-bit image data on every pixel are converted into an n (24)-bit code where the same logical bits are not continuous in k (5) pieces or more even though they are sequentially multiplexed in time division and transmitted in any combination. This converted code is multiplexed in time division and transmitted. When the synchronous data are transmitted, the m -bit image data on the pixels are directly multiplexed in time division. Then an $(n - m)$ -bit code including a specific bit string where the same logical bits are continuous in (k) pieces is added to the multiplexed image data.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-168147

(43) 公開日 平成9年(1997)6月24日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/24			H 0 4 N 7/13	Z
H 0 3 M 7/14		9382-5K	H 0 3 M 7/14	B
H 0 4 J 3/00			H 0 4 J 3/00	M
H 0 4 N 7/10			H 0 4 N 7/10	

審査請求 未請求 請求項の数8 F D (全9頁)

(21) 出願番号 特願平7-347780

(22) 出願日 平成7年(1995)12月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 菊池 秀和

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 画像データ送信方法及び画像データ受信方法

(57) 【要約】

【課題】本発明は、画像データ送信方法及び画像データ受信方法において、画像データの送受信を中断させずに画像データ及び同期データを1つの伝送路によつて送受信し得るようにする。

【解決手段】 $n > m$ 及び $k < n - m$ として、同期データを送信しないときは、画素毎の m (18) ビットの画像データを、いかなる組み合わせで順次時分割多重化して送信しても同一論理ビットが k (5) 個以上連続しない n (24) ビットコードに変換してこれを時分割多重化して送信し、同期データを送信するときは、画素の m ビットの画像データを直接時分割多重化し、これに同一論理ビットが k 個連続した特定ビット列を含み $n - m$ ビットでなる直列コードを付加する。

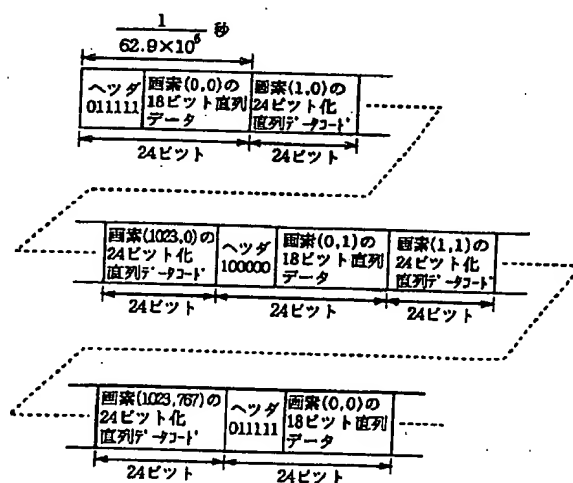


図5 直列画像データのデータ配列

【特許請求の範囲】

【請求項1】画素毎の m ビットデータでなる画像データと、上記画像データの同期タイミングを設定させる同期データとを時分割多重化して直列に送信する画像データ送信方法において、

上記同期データを送信しないときは、 $n > m$ 及び $k < n - m$ となる上記 n 及び k が設定されていかなる組み合わせで順次時分割多重化して送信しても同一論理ビットが上記 k 個以上連続しないよう選択された上記 n ビットのデータコードと上記 m ビットとを対応付けた符号化変換表に基づいて、上記画素毎の上記 m ビットデータを上記 n ビットのデータコードに変換し、当該 n ビットのデータコードを時分割多重化して送信し、

上記同期データを送信するときは、上記画素毎の m ビットデータを直接時分割多重化し、当該時分割多重化した m ビットデータに、同一論理ビットが上記 k 個以上連続した特定ビット列を含み上記 $n - m$ 個のビットでなる直列コードを付加して送信することを特徴とする画像データ送信方法。

【請求項2】上記 $n - m$ 個のビットでなる直列コードは、

上記時分割多重化した m ビットデータの前に付加されることを特徴とする請求項1に記載の画像データ送信方法。

【請求項3】上記同期データは、垂直同期データ及び水平同期データであることを特徴とする請求項1に記載の画像データ送信方法。

【請求項4】上記符号化変換表は、

上記 m ビットと上記 n ビットコードとをそれぞれ分割して対応付けていることを特徴とする請求項1に記載の画像データ送信方法。

【請求項5】 $n > m$ 及び $k < n - m$ となる上記 n 、 m 及び k が設定されており、

伝送路を介して受信した上記 n ビットの直列データコードから同一論理ビットが上記 k 個連続した特定ビット列を検出したときは、上記 n ビットの直列データコードから得る画素毎の上記 m ビットの画像データの同期タイミングを設定すると共に、上記特定ビット列を含んで連続した上記 $n - m$ ビットを上記 n ビットの直列データコードから除いて得た上記 m ビットデータを走査線上の最初の画素の上記 m ビットの画像データに戻し、

上記 n ビットの直列データコードから同一論理ビットが上記 k 個連続した特定ビット列を検出しないときは、上記 n 、 m 及び k が設定されていかなる組み合わせで順次時分割多重化して送信しても同一論理ビットが上記 k 個以上連続しないよう選択された上記 n ビットのデータコードと上記 m ビットとを対応付ける符号化変換表と上記同期タイミングとに基づいて、上記 n ビットの直列データコードを上記 m ビットに復号化して、画素毎の当該 m ビットデータでなる画像データに戻すことを特徴とする

画像データ受信方法。

【請求項6】上記 $n - m$ 個のビットでなる直列コードは、

上記時分割多重化した m ビットデータの前に付加されていることを特徴とする請求項5に記載の画像データ受信方法。

【請求項7】上記同期データは、垂直同期データ及び水平同期データであることを特徴とする請求項5に記載の画像データ受信方法。

10 【請求項8】上記符号化変換表は、

上記 m ビットと上記 n ビットコードとをそれぞれ分割して対応付けることを特徴とする請求項5に記載の画像データ受信方法。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術（図6及び図7）

発明が解決しようとする課題（図8及び図9）

20 課題を解決するための手段（図5）

発明の実施の形態（図1～図5）

（1）実施例の構成

（1-1）画像表示システムの構成

（1-2）画像データ変換の規則

（2）実施例の動作

（3）実施例の効果

（4）他の実施例

発明の効果

【0002】

30 【発明の属する技術分野】本発明は画像データ送信方法及び画像データ受信方法に関し、例えばコンピュータで処理する画像を表示する液晶表示装置に代表されるデジタル制御の表示装置に画像データを伝送する際に適用し得る。

【0003】

【従来の技術】図6に示すように、この種の液晶表示装置1は、一般に、コンピュータで処理するデジタルの3原色画像データS1～S6をそれぞれの原色毎にアナログ化した画像信号S10～S12が伝送される。液晶表示装置1は、この画像信号S10～S12をアナログデジタルコンバータ5～7によつてデジタルの画像データS13～S18に戻してリアルタイムで画像の表示状態を制御している。

【0004】この方法は、表示画素数及び階調の増加に応じて高速、多ビットのアナログデジタルコンバータが必要になるため、液晶表示装置の製造コストが増大するという欠点があつた。このため、図7に示すように、コンピュータ内で並列に処理されている画像データS21～S26を並列で液晶表示装置10に伝送する方法が一部で採用されている。

【0005】

【発明が解決しようとする課題】ところで、図8に示すように、複数の芯線を束ねた伝送ケーブル13で画像データS27～S32を並列に伝送する場合は、伝送された画像データS27～S32間の相互干渉によつてスキュー（同期ずれ）やクロストークが発生する。このため、伝送ケーブル13の伝送容量及び伝送距離が制限されると共に、伝送ケーブル13やコネクタが大型化するという問題があつた。これを避けるため、画像データを直列化して伝送することが考えられる。この方法によれば、画像データのスキューやクロストークを排除して画像データを伝送することができる。

【0006】ところが、図9（B）に示すように、従来の直列化では、1枚の画像のそれぞれの画素(0,0)～(X,Y)の画像データを単純にあるビット数で1ワードとなる直列の画像データに変換していた。因みに、図9（A）に示すように、1枚の画像は、水平及び垂直方向にそれぞれX個及びY個の画素で構成されている。この変換方法では、ヘッダと呼ばれる制御データを画像データに付加して、受信した直列の画像データを再び画素毎の画像データに戻すときのワード同期を確立する必要があつた。

【0007】ところが、このヘッダの1ワードは、画像データの1ワードを構成するビット数と異なるビット数で構成されていた。このため、液晶表示装置内の画像制御回路は、直列の画像データからワード長さが異なるヘッダを識別して取り出す必要があるため、複雑な構成となるという欠点がある。

【0008】この方法では、ヘッダを取り出すとき画像データが中断され、安定して受信できないという問題があつた。さらにデジタルの画像データを並列に伝送する方法でも、画像データを伝送するケーブルに加えて、垂直同期データ及び水平同期データを伝送するそれぞれ専用のケーブルが別個に必要であるため、コネクタや伝送ケーブルが大きくなって取扱いが煩雑になるという欠点があつた。

【0009】本発明は以上の点を考慮してなされたもので、画像データの送受信を中断させずに画像データ及び同期データを1つの伝送路によつて送受信し得る画像データ送信方法及び画像データ受信方法を提案しようとするものである。

【0010】

【課題を解決するための手段】かかる課題を解決するため本発明においては、画素毎のmビットデータでなる画像データと、画像データの同期タイミングを設定させる同期データとを時分割多重化して直列に送信する画像データ送信方法において、mビットデータだけ送信するときと、mビットデータ及び同期データを送信するときとで異なる手順で処理して、どちらもnビットで送信する。同期データを送信しないときは、 $n > m$ 及び $k < n - m$

(3)

特開平9-168147

4

—mとなるn及びkが設定されていかなる組み合わせで順次時分割多重化して送信しても同一論理ビットがk個以上連続しないよう選択されたnビットのデータコードとmビットとを対応付けた符号化変換表に基づいて、画素毎のmビットデータをnビットのデータコードに変換し、当該nビットのデータコードを時分割多重化して送信する。同期データを送信するときは、画素毎のmビットデータを直接時分割多重化し、当該時分割多重化したmビットデータに、同一論理ビットがk個連続した特定ビット列を含み $n - m$ 個のビットでなる直列コードを付加して送信する。

【0011】 $n > m$ 及び $k < n - m$ として、同期データを送信しないときは、画素毎のmビットの画像データを、いかなる組み合わせで順次時分割多重化して送信しても同一論理ビットがk個以上連続しないnビットコードに変換してこれを時分割多重化して送信し、同期データを送信するときは、画素のmビットの画像データを直接時分割多重化し、これに同一論理ビットがk個連続した特定ビット列を含み $n - m$ ビットでなる直列コードを付加することにより、画像データの送受信を中断させずに画像データ及び同期データを1つの伝送路によつて送受信することができる。

【0012】また本発明においては、伝送路を介して受信したnビットの直列データコードから同一論理ビットがk個連続した特定ビット列を検出したか否かに応じた異なる手順でnビットの直列データコードを処理する。 $n > m$ 及び $k < n - m$ となるn、m及びkが設定されている。伝送路を介して受信したnビットの直列データコードから同一論理ビットがk個連続した特定ビット列を検出したときは、nビットの直列データコードから得る画素毎のmビットの画像データの同期タイミングを設定すると共に、特定ビット列を含んで連続した $n - m$ ビットをnビットの直列データコードから除いて得たmビットデータを走査線上の最初の画素のmビットの画像データに戻す。nビットの直列データコードから同一論理ビットがk個連続した特定ビット列を検出しないときは、n、m及びkが設定されていかなる組み合わせで順次時分割多重化して送信しても同一論理ビットがk個以上連続しないよう選択されたnビットのデータコードとmビットとを対応付ける符号化変換表と同期タイミングとに基づいて、nビットの直列データコードをmビットに復号化して、画素毎の当該mビットデータでなる画像データに戻す。

【0013】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0014】（1）実施例の構成

（1-1）画像表示システムの構成

図1は全体として画像表示システム20を示し、本体21においてデータクロックS40とmビット並列の画像

データS41～S57とこれの同期データS58及びS59とを時分割多重によつて重畳してnビット直列のデータコードS60を生成する。画像表示システム20は、このデータコードS60を1本の伝送路としての伝送ケーブル22を介して液晶表示装置23に与えて、データコードS60をデータブロックS61とmビット並列の画像データS62～S78とこれの同期データS79及びS80とに戻す。これにより、画像表示システム20は、本体21において並列処理している画像を液晶表示装置23の画像表示部24上に表示する際の表示状態を画素毎の画像データを途切れさせずにリアルタイムで制御する。

【0015】本体21は、マイクロコンピュータ（図示せず）で制御され、外部より与えられた画像データをビデオRAM（図示せず）に展開している。本体21は、ビデオRAM上の画素毎のmビット並列の画像データをそれぞれのビットでなる画像データS40～S57によつて、集積回路構成の符号化回路25に与える。これにより、本体21は、符号化回路25において画素毎のmビットを $m < n$ であるnビットコードに変換して、それぞれのnビットコードで1ワードを構成したデータコードS60を生成させる。

【0016】但し、同期データS58及びS59を伝送するとき、本体21は、符号化回路25において同期データS58及びS59を、 $k < n - m$ として同一論理ビットがk個連続した特定ビット列を含む $n - m$ ビットコードに符号化する。またこのとき本体21は、画素の画像データの符号化を停止させる。続いて、本体21は、符号化回路25において同期データS58又はS59を示す $n - m$ ビットコードを、符号化しなかつたmビットの画像データの先頭に付加して、他のワードと同一のnビットでワードを構成する。

【0017】液晶表示装置23は、集積回路構成の復号化回路26において直列のデータコードS60から同期データを得て、この同期データに基づいたタイミングでデータコードS60をnビット毎に区切ってそれぞれのワードを弁別する。データコードS60の全てのワードがnビットで構成されていることにより、復号化回路26内のワードを弁別する回路を簡易に構成することができる。液晶表示装置23は、復号化回路26においてそれぞれのワードをnビットコードからmビットに戻し、mビットのそれぞれのビットでなる並列の画像データS61～S78を画像制御回路27に与える。

【0018】但し、ワードの先頭側の $n - m$ ビットから同一論理ビットがk個連続した特定ビット列を復号化回路26において検出すると、液晶表示装置23は同期データを得たと判断する。これにより、液晶表示装置23は、特定ビット列に応じて垂直同期データS79や水平同期データS80を復号化回路26において生成して、画像制御回路27に与える。

【0019】続いて、液晶表示装置23は、特定ビット列を含む $n - m$ ビットコードを除いたmビットを復号化回路26において復号することなく画像制御回路27に与える。これにより、液晶表示装置23は、途切れのないmビット並列の画素データS61～S78のタイミングを画像制御回路27において垂直同期データS79や水平同期データS80によつて制御して、画像を画像表示部24に表示させる。

【0020】復号化回路26は、例えばkが5である場合、図2に示す同期データ検出回路28を有し、直列のデータコードS60をこの同期データ検出回路28に与えて、同一論理ビットが5個連続した特定ビット列を検出する。同期データ検出回路28は、データコードS60を4つのDフリップフロップ29～32で順次遅延させて1クロック期間～4クロック期間遅延させた遅延画像データS81～S84を生成する。

【0021】同期データ検出回路28は、現在のデータコードS60と遅延画像データS81～S84とをアンド回路33及びナンド回路34に条件入力として与える。同期データ検出回路28は、4入力アンド回路33及び4入力ナンド回路34のそれぞれの出力S85及びS86をオア回路35に条件入力として与える。これにより、同期データ検出回路28は、データコードS60の論理「1」が5個連続した特定ビット列と、論理「0」が5個連続した特定ビット列とを検出することができる。

【0022】(1-2)画像データ変換の規則

本体21は、符号化回路25においてmビットをnビットコードに変換する際に、所定の変換表を使用して、データコードS60が以下に示す第1～第4の条件を満たすよう変換している。液晶表示装置23は、この所定の変換表を使用して、データコードS60のそれぞれのワードのnビットコードをmビットに逆変換する。

【0023】この所定の変換表は、mビットをnビットコードに変換したときのnビットコードの全ての組合せにおいて同一論理ビットの最大連続数jが $j < k$ を満たすようにnビットの任意の論理配列のみが採用されている。またこの所定の変換表によつて任意のmビットと任意のnビットコードとが重複しないよう対応付けられる。

【0024】符号化回路25は、第1～第4の条件に加えて、上述したように、直列のデータコードS60のそれぞれのワードを常にnビットで構成すると共に、全てのワードに画素データを含ませて画素データの伝送を途切れさせないように処理している。

【0025】第1の条件は、直列のデータコードS60からクロックを抽出し易くするため、データコードS60が多量のデータ遷移を含んでいることである。第2の条件は、データコードS60の論理「1」及び論理「0」の比が同等又はこれに近いことである。第3の条

件は、データコードS60のnビットコードをmビットに戻すときのそれぞれのワードの区切りを検出できる性質をデータコードS60が有することである。第4の条件は、直列化のため冗長ビットを元データに付加する場合、付加ビット数が元データに比して少ないことである。

【0026】第1の条件は、電圧が昇降を繰り返す直列のデータコードS60から直列データの論理「0」と論理「1」とを切り出すタイミング信号、即ちクロックを復号化回路26において抽出するために必要である。復号化回路26は、クロックをPLL(Phase Locked Loop)回路やSAWフィルタ共振等で抽出する。ところが、データ遷移が少ないと、PLL回路は離調し易くなり、フィルタの出力は低下する。このためデータ遷移は、4~5ビット毎に1回以上発生することが望ましい。

【0027】例えば、撮像対象を撮像して得たいいわゆる生の画像データでは、黒色を表示画面全面に表示した完全な黒色画像に対応した画像データが有り得るため、データ遷移が極端に少なくなることがある。このため、並列の画像データを直列に変換するとき、元の画像データは一般に何らかのデータ列に変換(コーディング)されてデータ遷移が増やされる。

【0028】データ遷移を増やす際には、一般にスクランブルやmビットnビット変換が使用される。前者は、疑似乱数発生回路を用いて、同一論理ビットが長時間継続するデータが発生することを確率的に阻止する方法である。後者は、mビットの元データをある規則に従ってnビットのデータに変換することによって、データ遷移を強制的に発生させる方法である。受信側においては、これらの逆変換によって元データを再生する。上述したように、符号化回路25は、後者を採用している。

【0029】第2の条件は、直列データを高い伝送レートで伝送する過程で発生する信号波形の歪みや減衰に対して、受信マージンを確保する、即ち直流レベルを容易に再生するための条件である。この第2の条件を満たすには、論理「1」と論理「0」との比が1:7~7:1以内であることが望ましい。

【0030】第3の条件は、送信側において、ある時点の画素データとして1つのセットであつた多ビットのデータ(ワード)を受信側において1つのセットとして切り出すタイミングを検出するための条件である。この第3の条件を満たすには、一般に直列データのどこかに直列データの他の部分には絶対に存在しない、又は極めて稀にしか存在しない特定ビット列を含むデータ列いわゆるヘッダが挿入される。この直列コードとしてのヘッダによって、ワードを切り出すタイミングを送信側から受信側に伝送することができる。上述したように、符号化回路25は、同一論理ビットがk個連続した特定ビット列を含むn-mビットコードをヘッダとして挿入して同

期タイミングを伝える。

【0031】第4の条件は、上述した第3の条件を満たす目的で付加されるビット、例えばmビットnビット変換で増えるビットやヘッダのビットが元データに比して少量であるということである。この第4の条件は、直列データの伝送レートが過度に上昇することを抑えて、直列伝送ハードウェアの負担を軽くするための条件であり、元データの1.4倍を超えないことが望ましい。

【0032】(2)実施例の動作

10 以上の構成において、液晶表示装置23の表示画面の横及び縦の画素数がそれぞれ1024及び768であるとし、画素毎に赤色、緑色及び青色のそれぞれの階調を6ビットで表示して $6 \times 3 = 18$ ビット分の262,144色を表示するとする。また表示速度は80〔画面/秒〕であるとし、同期データが垂直同期データ及び水平同期データで構成される。この表示を実現する際、本体21は、 $80 \text{ [画面/秒]} \times 1024 \text{ [列]} \times 768 \text{ [行]} \div 62.9 \times 10^6 \text{ [個/秒]}$ の画素の画像データを画像制御回路27に与える必要がある。

20 【0033】このとき図3に示すように、本体21は、1枚の画像毎に走査線上の最初の画素(0,0)から最後の画素(1023,767)までの画素毎の18ビットの画像データを独立に、又は水平同期データや垂直同期データと共に、同期データの論理レベルに応じた異なる手順に従って24ビットデータコードに変換して伝送する。

30 【0034】まず水平同期データ及び垂直同期データが論理「0」レベルである(以下、これを同期データが不活性であるという)ときを説明する。このとき、本体21は、符号化回路25において画素毎の18ビット画像データを3ビット毎に区分し、それぞれの3ビットを図4で示す符号化変換表としての変換表TBL1に従って対応付けて4ビットコードに変換する。

【0035】続いて、本体21は、18ビットに対応して得た6つの4ビットコードを順次直列に並べて24ビットコードのワードを生成する。これにより、画素毎の画像データは18ビットから24ビットに変換されたことになる。ここで、 $m=18$ 、 $n=24$ であり、これは、 $m < n$ を満たしている。因みに、変換表TBL1上の4ビットコード「0010」、「0011」、「0101」、「0110」、「1001」、「1010」、「1011」及び「1100」は、任意の3ビットデータとそれぞれ対応付けて良い。

【0036】次に、水平同期データ又は垂直同期データが1である(以下、これを同期データが活性であるという)ときを説明する。図3に示すように、このときは、水平同期データだけが論理「1」である状態と、水平同期データ及び垂直同期データが同時に論理「1」である状態とが存在する。

【0037】同期データが活性であるとき、本体21は、符号化回路25において $n-m=6$ ビットコードで

なるヘッダの後に、18ビット画素データを順次並べて24ビットコードを生成する。水平同期データだけが論理「1」であるとき、本体21は、符号化回路25においてヘッダをビット列「100000」で構成する。また両方の同期データが論理「1」であるとき、本体21は、符号化回路25においてヘッダをビット列「011111」で構成する。

【0038】これにより、ヘッダには論理「0」又は論理「1」が5個連続した特定ビット列が含まれていることになる。従つて、 $k=5$ となり、これは、 $k < n-m$ を満たしている。このようにして図5に示すように、本体21は、18ビット画像データをヘッダと共に全て24ビットコードに変換して順次連結し、画素毎の画像データが途切れない直列のデータコードS60を生成する。

【0039】次に、図5に示す直列のデータコードS60が、上述した第1の条件～第4の条件を満たしていることを説明する。まず、直列のデータコードS60を構成する1024ワードのうち、同期データが不活性であるときに対応したワードが圧倒的な比率（1023/1024）を占めることが分かる。図4に示した変換表TBL1では、4ビットコードのデータ遷移が少なくとも1回発生している。これにより、直列のデータコードS60は、全体として最低25%の確率でデータ遷移を発生させてクロックを容易に抽出することができ、第1の条件を満足させている。

【0040】また変換表TBL1の4ビットコードで最も論理「1」又は論理「0」に偏ったコードでも論理「1」と論理「0」との比は1:3である。これにより、画像データが特定の4ビットコードに全て変換されても、論理「1」と論理「0」との比は1:3～3:1に限定される。従つて、データコードS60は、直流レベルを容易に再生することができ、第2の条件を満足させている。

【0041】次に、変換表TBL1上の4ビットコードは、いずれをどの順序で組合せて直列に並べても論理「1」が $k=5$ 個以上連続することも、論理「0」が $k=5$ 個以上連続することも無い。これにより、24ビットコードの先頭6ビットから論理「1」又は論理「0」が5個連続した特定ビット列を検出したとき、液晶表示装置23は、ヘッダが挿入されて同期データが活性であるタイミングを伝送されたと判断することができる。

【0042】従つて、液晶表示装置23は、画素の画像データを中断することなく、このヘッダを、直列のデータコードS60の1ワード=24ビットの区切りを認識して n ビット直列コードを m ビット並列の画像データS61～S78に戻すためのワード同期を確立する基準として使用することができる。また液晶表示装置23は、ヘッダを受信しているときも画素の画像データを中断することがないことにより、画素の画像データを常に安定して受信することができる。伝送中に画像データが途切れ

ても、液晶表示装置23は、特定ビット列を検出することによつて、新しい水平走査線の同期タイミングを容易に得ることができる。従つて、データコードS60は、第3の条件を満足させている。

【0043】また、データコードS60のワード長さが全て同一であることにより、ヘッダのワードと画像データのワードとを別個にカウントする必要がなく、ワードをカウントする回路を簡易に構成することができる。

【0044】因みに、同期データが活性であるとき、ヘッダに続いて、変換されていない18ビットの画像データが伝送される。この18ビットの画像データによつて、偶然論理「1」が5個以上連続したり、論理「0」が5個以上連続することがあり得る。このため、同期データ検出回路28においてヘッダ内の特定ビット列を一度検出した後、少なくとも次のワードに切り換わる迄、同期データ検出回路28の検出機能を停止して、同期データが活性であるタイミングの誤検出を防止することができる。

【0045】最後に、データコードS60は、画素毎のデータが元の画像データに比して6ビット増加している。このときのデータコードS60の伝送レートは、 $6.29 \times 10^6 \times 24 = 1.51 \times 10^8$ ビット/秒となる。一方、元の画像データの伝送レートは、 $62.9 \times 10^6 \times 18 = 1.13 \times 10^8$ [ビット/秒]となる。データコードS60と元の画像データとの伝送レートの比は1.33となり、元データの1.4倍を越えない。この比は、ハードウェアの負担の観点から、實際上、許容される。これにより、データコードS60は第4の条件を満足させている。

【0046】(3) 実施例の効果

以上の構成によれば、 $n > m$ 及び $k < n-m$ として、同期データを送信しないときは、画素毎の m ビットの画像データを、いかなる組み合わせで順次直列に送信しても同一論理ビットが k 個以上連続しない n ビットコードS60に変換してこれを直列に送信し、同期データを送信するときは、画素の m ビットの画像データをコード化しないで直接直列に並べ、これに同一論理ビットが k 個連続した特定ビット列を含む $n-m$ ビットを直列に並べたヘッダを付加することにより、並列の画像データの送受信を中断させずに並列の画像データ及び同期データを1つの伝送ケーブル22によつて送受信することができる。

【0047】また液晶表示装置23への画像データの伝送距離を並列デジタルやアナログで伝送する場合に比して一段と大きくすることができる。さらに低コストで小さなコネクタと、1本だけであることによる一段と大きな柔軟性に富んだ伝送ケーブルとによつて画像データを伝送することができる。

【0048】(4) 他の実施例

なお上述の実施例においては、 $m=18$ 、 $n=24$ 、 $k=5$ 及び $j=4$ とする場合について述べたが、本発明はこれ

に限らず、 n 、 m 、 k 及び j を $n > m$ 、 $k < n - m$ 及び $j < k$ となる条件下で任意の数に設定しても良い。

【0049】また上述の実施例においては、18ビットから24ビットコードに変換する際、3ビットから4ビットコードに変換し、この4ビットコードを組合せて24ビットコードを得る場合について述べたが、本発明はこれに限らず、任意の数のビットコードを組合せて目的のビット数のコードを得る場合にも適用できる。

【0050】さらに上述の実施例においては、液晶表示装置を使用する場合について述べたが、本発明はこれに限らず、画像をデジタル信号で制御する任意の画像表示装置、例えばプラズマディスプレイを使用する場合にも適用できる。

【0051】さらに上述の実施例においては、直列のデータコードS60を伝送ケーブル13によつて伝送する場合について述べたが、本発明はこれに限らず、直列化した画像データを電波や赤外線で伝送する場合にも適用できる。

【0052】

【発明の効果】上述のように本発明によれば、 $n > m$ 及び $k < n - m$ として、同期データを送信しないときは、画素毎の m ビットの画像データを、いかなる組み合わせで順次時分割多重化して送信しても同一論理ビットが k 個以上連続しない n ビットコードに変換してこれを時分割多重化して送信し、同期データを送信するときは、画素の m ビットの画像データを直接時分割多重化し、これに同一論理ビットが k 個連続した特定ビット列を含み $n - m$ ビットでなる直列コードを付加することにより、画像データの送受信を中断させずに画像データ及び同期データを1つの伝送路によつて送受信し得る画像データ送信方法及び画像データ受信方法を実現できる。

*

【図1】

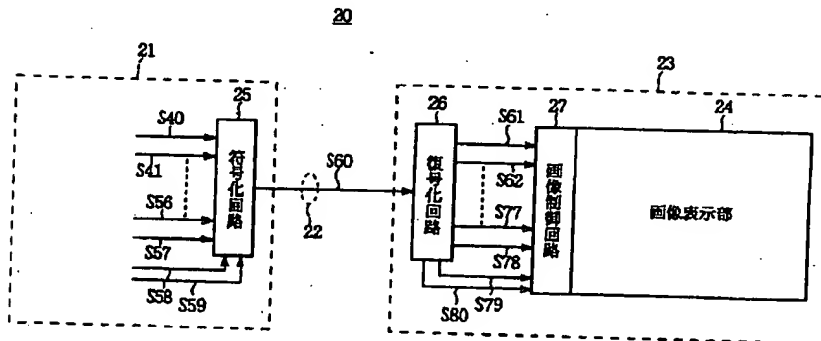


図1 実施例による画像表示システム

*【図面の簡単な説明】

【図1】本発明による画像データ送信方法及び画像データ受信方法の一実施例による画像表示システムの構成を示す略線的ブロック図である。

【図2】同期データ検出回路の説明に供する接続図である。

【図3】画素毎の並列画像データ及び同期データのタイミングを示すタイミング図である。

【図4】3ビットデータと4ビットコードとを対応付けた変換表を示す図表である。

【図5】直列画像データのデータ配列を示す略線図である。

【図6】従来の画像データ伝送方法を示す略線図である。

【図7】従来の画像データ伝送方法を示す略線図である。

【図8】並列伝送によるスキュー及びクロストークを示す波形図である。

【図9】画素配置及び従来の直列化による画像データの配列を示す略線図である。

【符号の説明】

1、10……液晶表示装置、2～4……デジタルアナログコンバータ、5～7……アナログデジタルコンバータ、8、11、27……画像制御回路、9、12、24……画像表示部、13、22……伝送ケーブル、20……画像表示システム、21……本体、23……液晶表示装置、25……符号化回路、26……復号化回路、28……同期データ検出回路、29～32……Dフリップフロップ、33……アンド回路、34……ナンド回路、35……オア回路。

【図4】

元データ (3ビット)	データコード (4ビット)	TBL1
000	0010	
001	0011	
010	0101	
011	0110	
100	1001	
101	1010	
110	1011	
111	1100	

図4 変換表

【図2】

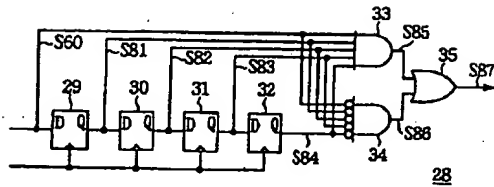


図2 同期データ検出回路

【図3】

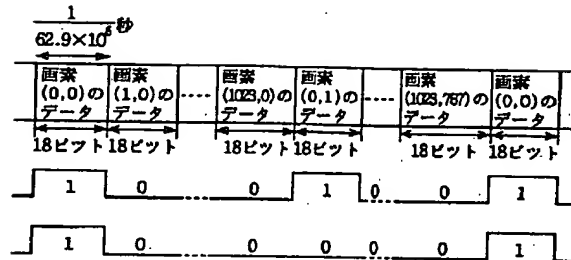


図3 画素毎の並列画像データ及び同期データのタイミング

【図5】

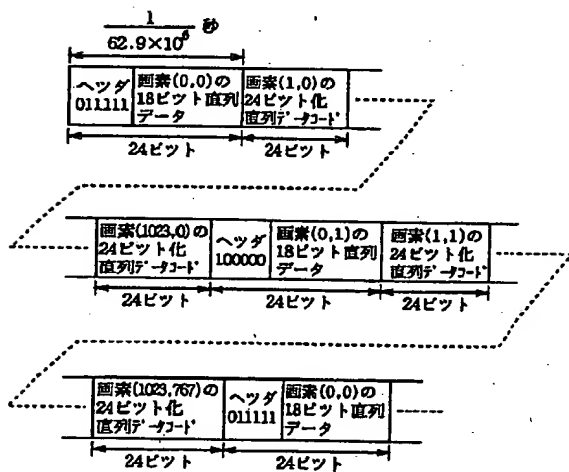


図5 直列画像データのデータ配列

【図6】

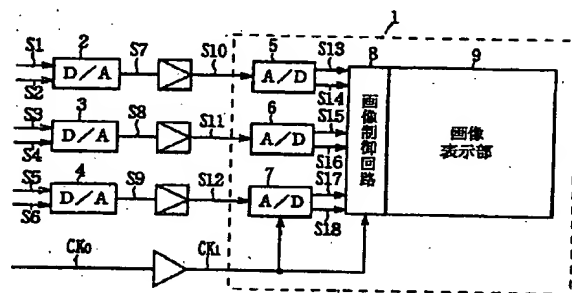


図6 従来の画像データ伝送方法

【図7】

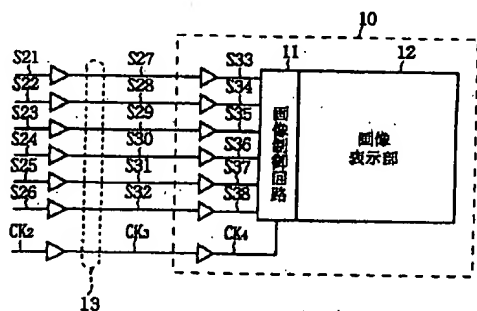


図7 従来の画像データ伝送方法

【図8】

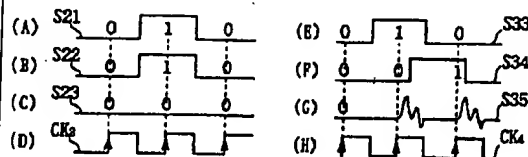


図8 並列伝送によるスキュー及びクロストーク

【図9】

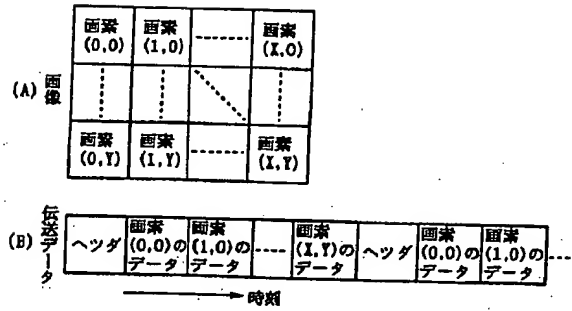


図9 画素配置及び従来の直列化による画像データの配列